



IN 10/697504

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	NAIKI	Examiner:	Unknown
Serial No.:	10/697504	Group Art Unit:	Unknown
Filed:	October 30, 2003	Docket No.:	12844.0050US01
Title:	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE		

CERTIFICATE UNDER 37 CFR 1.8:  
I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail, with sufficient postage, in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450 on February 4, 2004.

By: A Ewald  
Name: A Ewald

SUBMISSION OF PRIORITY DOCUMENT

Mail Stop Missing Parts  
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

Applicants enclose herewith one certified copy of a Japanese application, Serial No. 2002-318354, filed October 31, 2002, the right of priority of which is claimed under 35 U.S.C. § 119.

Respectfully submitted,

23552  
PATENT TRADEMARK OFFICE

MERCHANT & GOULD P.C.  
P.O. Box 2903  
Minneapolis, Minnesota 55402-0903  
(612) 332-5300

Dated: February 4, 2004

By Douglas P. Mueller  
Douglas P. Mueller  
Reg. No. 30,300

DPM/ame

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 2 年 1 0 月 3 1 日  
Date of Application:

出 願 番 号            特 願 2 0 0 2 - 3 1 8 3 5 4  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 2 - 3 1 8 3 5 4 ]

出      願      人            ローム株式会社  
Applicant(s):

2 0 0 3 年    8 月 2 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 02-00361

【提出日】 平成14年10月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

    【住所又は居所】 京都市右京区西院溝崎町 2 1 番地      ローム株式会社内

    【氏名】 内貴      崇

【特許出願人】

    【識別番号】 000116024

    【氏名又は名称】 ローム株式会社

    【代表者】 佐藤      研一郎

    【電話番号】 075-321-6472

    【連絡先】 知的財産部

【手数料の表示】

    【予納台帳番号】 032229

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書      1

    【物件名】 図面      1

    【物件名】 要約書      1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

半導体基板表面の端子部に電氣的接続機能を有するバンプを設けた半導体集積回路装置において、電氣的に無接続なダミーバンプを有し、そのダミーバンプが半導体チップの四隅の内一つ以上の角部近隣にあり、かつ該ダミーバンプのチップへの投影面積の大きさが、前記バンプよりも大きいことを特徴とする半導体集積回路装置。

【請求項 2】

前記ダミーバンプの下に少なくとも 1 層の絶縁膜を挟んで該ダミーバンプとは電氣的に導通していない配線を有することを特徴とする請求項 1 の半導体集積回路装置。

【発明の詳細な説明】

【 0 0 0 1】

【発明が属する技術分野】

本発明は、実装信頼性の高い半導体集積回路装置に関するものである。

特に半導体基板表面の端子部に電氣的接続機能を有するバンプを設けた半導体集積回路装置において、電氣的に無接続なダミーバンプを有する半導体集積回路装置に関するものである。

【 0 0 0 2】

【従来の技術】

近年、電子機器の高性能化が進み、それら機器に搭載されている半導体集積回路装置には高い性能と複雑な機能が要求されているとともに、特に携帯型情報端末や携帯電話などの小型機器に搭載される半導体集積回路装置には高密度の実装が可能となる手段が求められている。

【 0 0 0 3】

このため、従来から半導体集積回路装置にはほとんどプラスチック封止をしないチップ形状のものが採用され、基板への実装にはバンプなどの突起物をチップの

端子上に設けてフリップ接続などを行う方法がとられていた。つまりこれら半導体集積回路装置を実装する時には、当該チップを接続対象となる基板などに対向させて、異方性導電粒子（ACF）や導電性材料を介して直接チップが押し付けられるという方法などがとられる。

#### 【0004】

この場合のチップは薄型化の要請から、チップ裏面をグラインドする結果、チップがそってしまったり厚みがバラ付いたりして、該チップ表面に形成されたバンプの水平位置がズレたりする（図7（a））。

また、バンプ高さのバラツキや、チップと基板を接続させる実装装置の精度から、チップの四隅の角部の1つが、他方の四隅の角部より先に基板に接触することがある（図7（b））。

その結果、特にチップの四隅付近に位置するバンプには他の辺中央部のバンプよりも実装時に大きな荷重ストレスがかかる。従来、このような荷重ストレスの不均衡を防止することによりバンプやチップ上の電気回路を保護する目的で、電気的には無接続のダミーバンプが設けられていた（特開平8-46313，実開平4-94732）。

#### 【0005】

ところが近年、LSIの高機能化、特にLCDドライバーにおけるカラー化、あるいは大画面化に伴う端子数の増加と半導体プロセスの微細化によって、これらバンプの搭載間隔を今まで以上に狭くしていかなければチップ面積の小型化を達成できなくなり、それに伴って個々のバンプ面積も小さくなってきたため一チップ角毎に必要なダミーバンプの数も増やさざる得ない状況になってきた。

#### 【0006】

##### 【発明が解決しようとする課題】

この従来の半導体集積回路装置では、異方性導電粒子（ACF）の粒径（3～5 $\mu\text{m}$ ）からバンプとバンプの間隔を狭くするには限界があり、少なくとも10から15 $\mu\text{m}$ 程度のバンプとバンプ間の距離が必要である。

これに対し、異方性導電粒子（ACF）によりチップと基板を電氣的に確実に接続させるために各バンプの面積は同程度であることが要求され、それぞれのバン

プの形状は図 8 に示す通り細くならざる得ない。そのためバンプとバンプ間スペースのいわゆる無効面積（図 8 の斜線部分）が大きくなってしまう。従って、ダミーバンプの数が増えただけではダミーバンプのあるエリアの面積が総バンプ面積に対して相対的に増加する結果となり、チップサイズを小さくする事に制限がでてきてしまう問題があった。

#### 【 0 0 0 7 】

##### 【課題を解決するための手段及び作用】

本発明の請求項 1 の半導体集積回路装置は、半導体基板表面の端子部に電氣的接続機能を有するバンプを設けた半導体集積回路装置において、電氣的に無接続なダミーバンプを有し、そのダミーバンプが半導体チップの四隅の内一つ以上の角部近隣にあり、かつ該ダミーバンプのチップへの投影面積の大きさが、前記バンプよりも大きいことを特徴としている。

#### 【 0 0 0 8 】

この請求項 1 記載の半導体集積回路装置によれば、半導体チップの角部近隣にあるダミーバンプは、その近隣の電氣的機能を有するバンプよりも大きいため、従来はダミーバンプとダミーバンプ間の空きスペースとしていた部分をも、ダミーバンプのために使用する事になり、半導体チップ上のエリアを有効に使用する事ができる。これにより、ダミーバンプを配置するための半導体チップ上のエリアが従来に比べて小さくて済むようになるため、当該半導体チップのチップ面積を小さくする事ができる。

#### 【 0 0 0 9 】

本発明の請求項 2 の半導体集積回路装置は、前記請求項 1 の半導体集積回路装置におけるダミーバンプの下に少なくとも 1 層の絶縁膜を挟んで該ダミーバンプとは電氣的に導通していない配線を有することを特徴としている。

#### 【 0 0 1 0 】

この請求項 2 記載の半導体集積回路装置によれば、半導体チップの角部近隣にあるダミーバンプの下部には、該ダミーバンプとは電氣的に導通していない配線を有することができるため、従来ダミーバンプのみに使用していた半導体チップ上のエリアを有効に配線のためにも使用できるので、当該半導体チップのチップ

面積を更に小さくすることができる。

#### 【0011】

#### 【発明の実施の形態】

以下、本発明の半導体集積回路装置の実施の形態について、図1～図6を参照して説明する。

#### 【0012】

図1は本発明を説明するための半導体集積回路装置に係るチップの全体を示す図である。この半導体集積回路装置チップ1には、図示されていないその内部回路の周囲を囲んで配置されたバンプ6を有している。なお、本実施例では内部回路の周囲を囲んで半導体集積回路装置のチップ1の四辺に沿う形でバンプが配置されているが、この他に特定の1つもしくは2つの辺にはバンプ6が配置されず回路や配線が配置されてもよい。

#### 【0013】

図2、図3、図4、図5は図1のうち破線で囲まれたチップ角部5の部分を半導体集積回路装置チップ1の4個の角部を代表して拡大したものであり、それぞれの図について以下に説明を行う。

#### 【0014】

図2は、従来のバンプ配置の形態を示す図である。図示されていない内部回路に接続された回路接続用バンプ3とそれよりも半導体集積回路装置のチップ1の角部に近い部分にダミーバンプ2が各辺2個ずつ設けられており、合計で回路接続用バンプ3が4個あるのに相当する面積の耐荷重効果を得られる。破線で示す部分の内側の部分がダミーバンプの為に確保された半導体集積回路装置のチップ1上のエリアである。

#### 【0015】

図3は第1の実施形態を示すバンプ配置図である。図示されていない内部回路に接続された回路接続用バンプ3とそれよりも半導体集積回路装置のチップ1の角部にそれぞれ近い部分にダミーバンプ2aが各辺1個ずつ設けられていて、ダミーバンプ2aの面積は回路接続用バンプ3の概ね2倍の面積を有しているから

、合計で回路接続用バンプ3が4個あるのに相当する面積の耐荷重効果を得られる。破線で示す部分の内側の部分がダミーバンプの為に確保された半導体集積回路装置のチップ1上のエリアであり、図2で示す従来のバンプ配置の形態よりも小さい面積のエリアで同等の耐荷重効果を有している。

#### 【0016】

図4は第2の実施形態を示すバンプ配置図である。図示されていない内部回路に接続された回路接続用バンプ3とその半導体集積回路装置のチップ1の角部に回路配線4を避ける方形でない形状でダミーバンプ2bが設けられていて、ダミーバンプ2bの面積は回路接続用バンプ3の4倍よりも大きな面積を有しているから、回路接続用バンプ3が4個あるのに相当する面積よりも大きい耐荷重効果を得られる。破線で示す部分の内側の部分がダミーバンプの為に確保された半導体集積回路装置のチップ1上のエリアであり、図3で示す第1の実施形態よりも更に小さい面積のエリアで同等以上の耐荷重効果を有している。

#### 【0017】

図5は第3の実施形態を示す図である。図示されていない内部回路に接続された回路接続用バンプ3とその半導体集積回路装置のチップ1の角部に回路配線4と一部重なる形で方形のダミーバンプ2cが設けられていて、ダミーバンプ2cの面積は図4で示す第2の実施形態のものよりも大きな面積を有しているから、図4で示す第2の実施形態のものよりも更に大きい耐荷重効果を得られる。

#### 【0018】

チップ上に本発明のダミーバンプを形成した場合の耐荷重効果を図6(a)(b)を用いて説明する。図6(a)はチップ上における代表的なバンプおよびダミーバンプのそれぞれ位置関係を示す正面図である。図6(b)はダミーバンプを1個2個3個……と段階的に増やしていった場合及びダミーバンプのバンプ幅を自由可変として拡張していった場合のそれぞれのダミーバンプの面積増加を示すグラフである。このグラフからダミーバンプの面積を段階的あるいは漸次増加することによりダミーバンプの耐荷重効果を飛躍的に向上させることができる。

#### 【0019】

#### 【発明の効果】



本発明の半導体集積回路装置によれば、内部回路に接続された回路接続用バンプよりも大きな面積のダミーバンプを従来よりも小さなダミーバンプの為に確保された半導体集積回路装置のチップ上のエリア上に実現する事が出来るので、従来の形態よりも小さいチップ面積で同等もしくはそれ以上の耐荷重効果を得ることができる。

更に回路配線上にもダミーバンプを設ける形態を採用することで従来よりもより一層小さいチップ面積で同等もしくはそれ以上の耐荷重効果を有することができる。

【図面の簡単な説明】

【図 1】 バンプを搭載した半導体集積回路装置のチップ図面である。

【図 2】 従来のバンプを搭載した半導体集積回路装置のチップ図面である。

【図 3】 本発明の第 1 の実施の形態におけるバンプを搭載した半導体集積回路装置のチップ図面である。

【図 4】 本発明第 2 の実施の形態におけるバンプを搭載した半導体集積回路装置のチップ図面である。

【図 5】 本発明第 3 の実施の形態におけるバンプを搭載した半導体集積回路装置のチップ図面である。

【図 6】 ダミーバンプ面積増加による耐荷重効果の説明図である。

【図 7】 チップ実装時における不具合を説明する図面である。

【図 8】 バンプ形状の変化を示す説明図である。

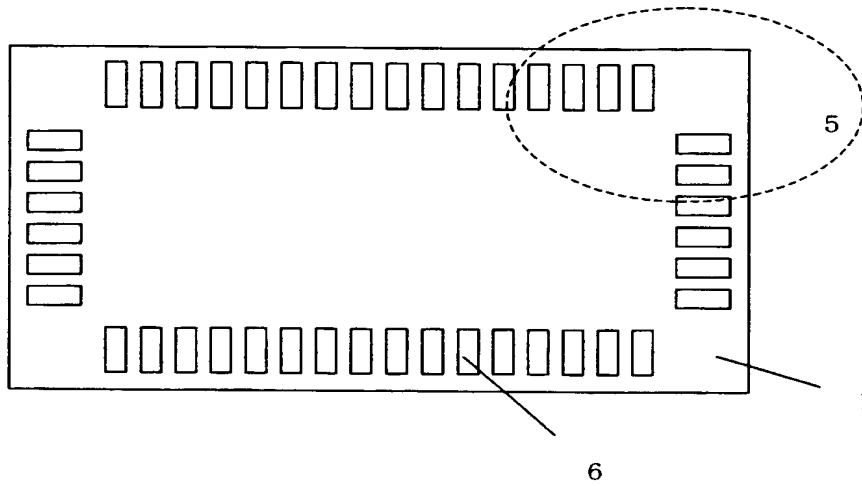
【符号の説明】

- 1 半導体集積回路装置チップ
- 2、2 a、2 b、2 c ダミーバンプ
- 3 回路接続用バンプ
- 4 回路配線
- 5 チップ角部における拡大箇所
- 6 バンプ

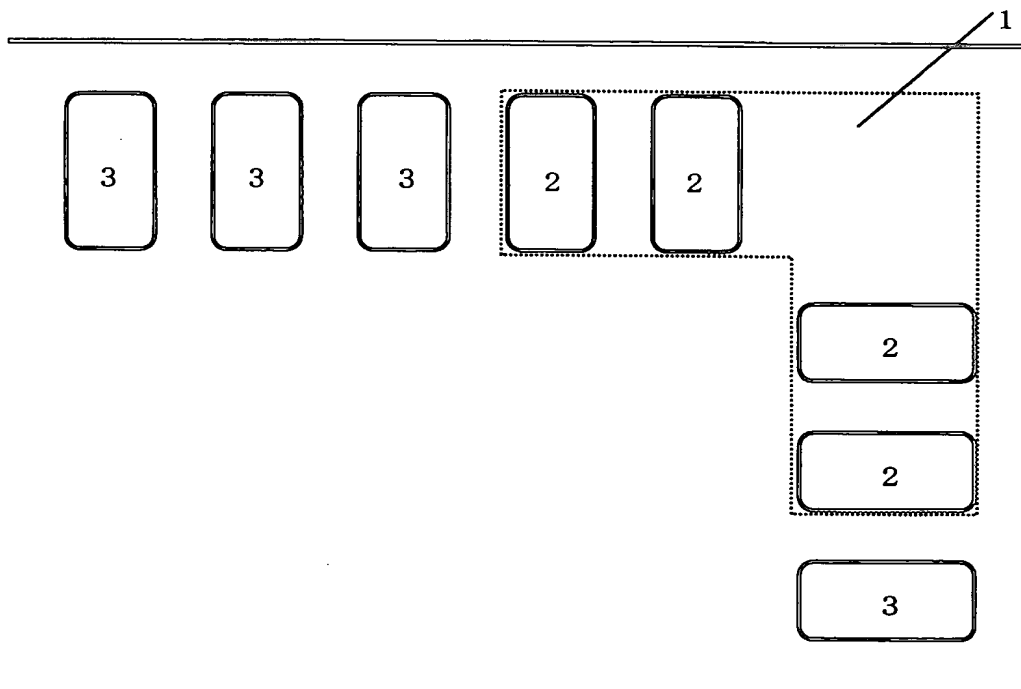
【書類名】

図面

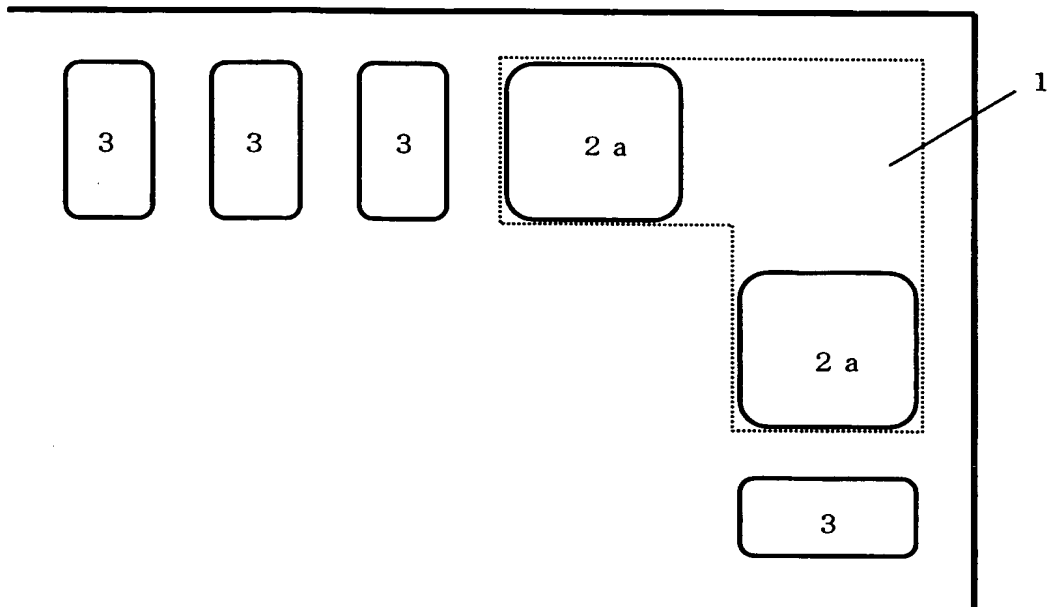
【図 1】



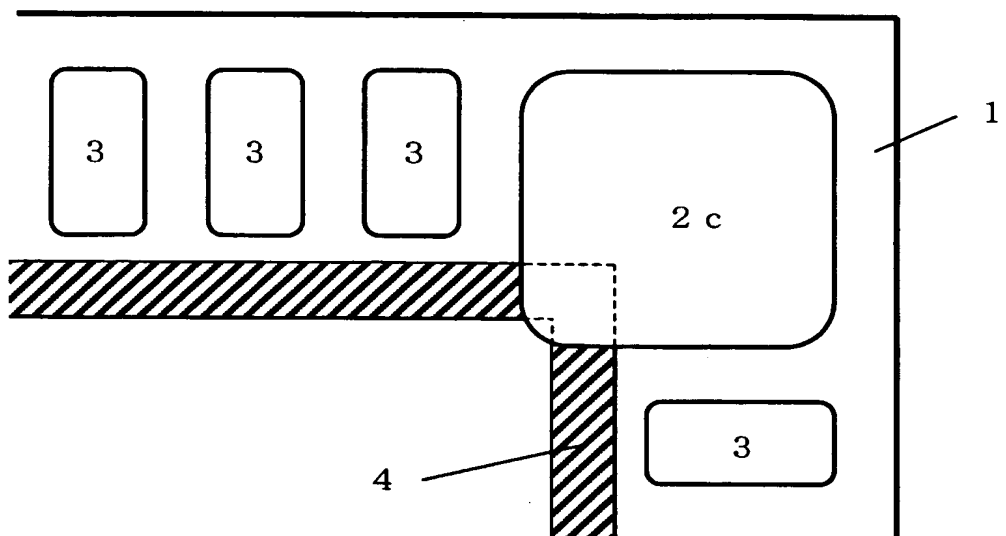
【図 2】



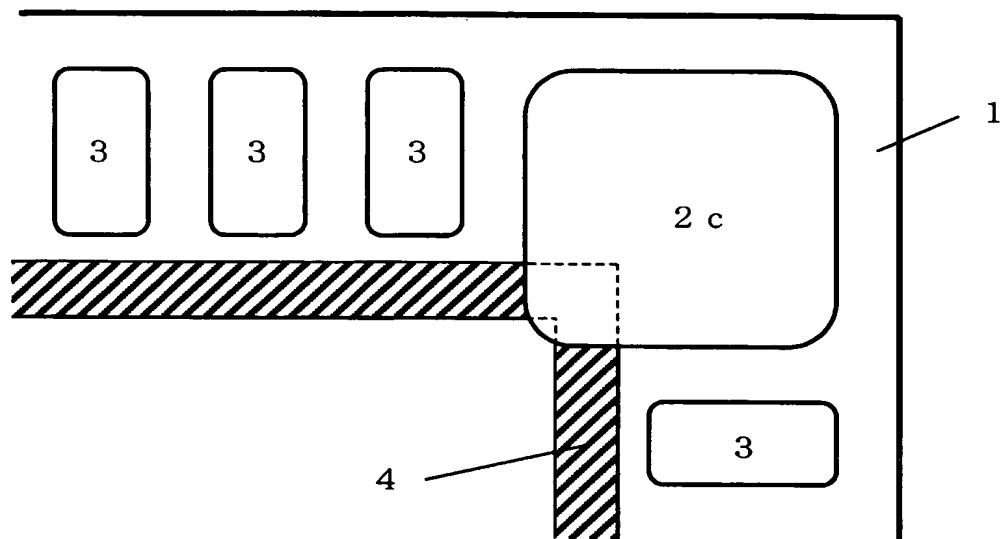
【図 3】



【図 4】

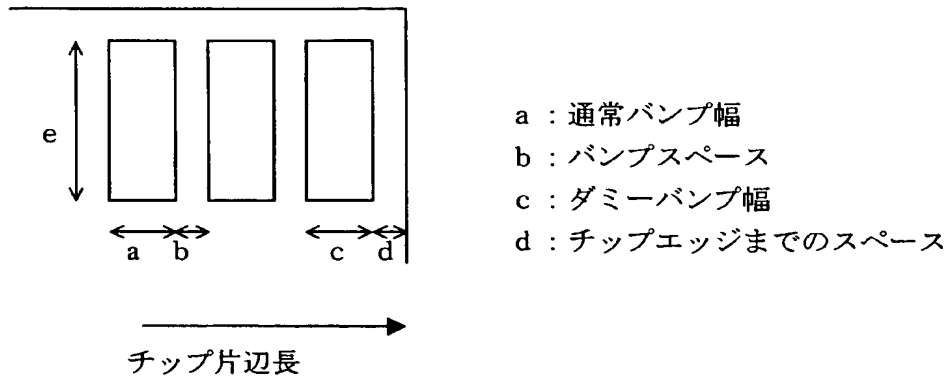


【図 5】



【図 6】

(a)



例

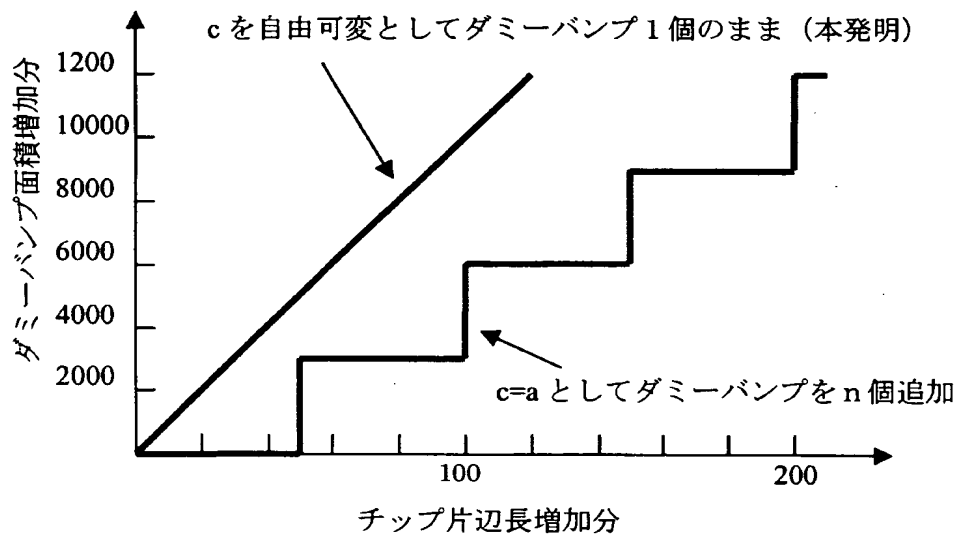
$$a = 30$$

$$b = 20$$

$$d = 20$$

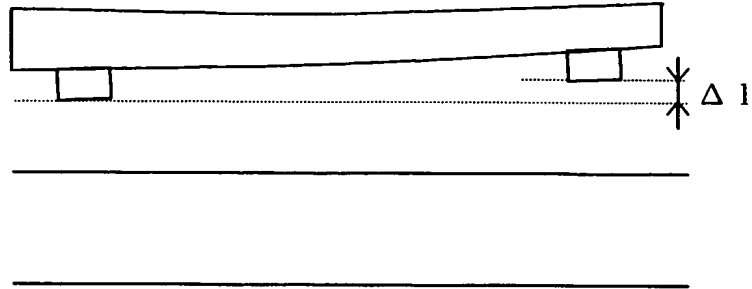
$$e = 100$$

(b)

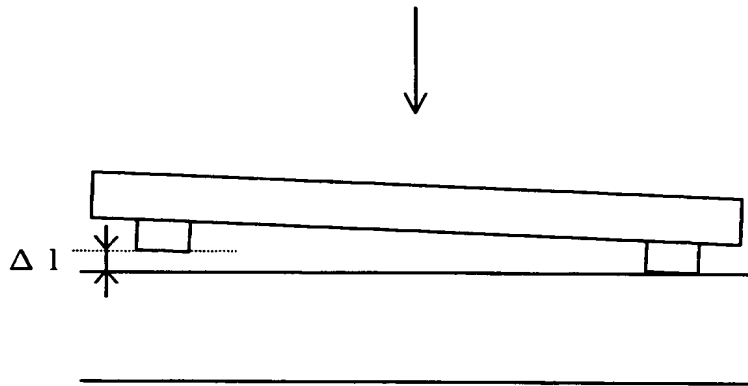


【図 7】

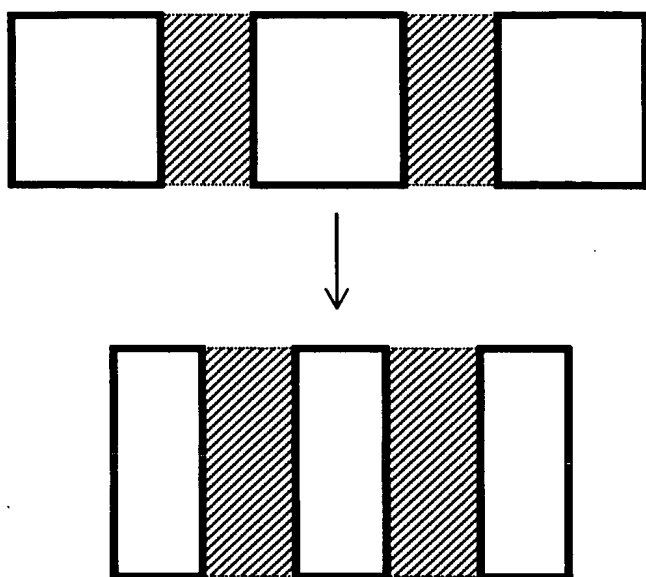
(a)



(b)



【図 8】



【書類名】 要約書

【要約】

【課題】 高密度の実装を必要とする半導体集積回路装置には、半導体チップ端子部にバンプなどを形成させて基板などに直接実装する方法がとられている。この場合、実装時の装着圧力などによる半導体チップの損傷を防ぐために、その角部にはダミーの無接続バンプが設けられている。これら、ダミーバンプを設けても半導体チップのサイズができるだけ大きくならないようにすることが必要である。

【解決手段】 ダミーバンプのチップへの投影面積を通常の電氣的機能を有するバンプのチップへの投影面積よりも大きくする。

【選択図】 図 3



特願 2 0 0 2 - 3 1 8 3 5 4

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 1 6 0 2 4 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社